

Patent Abstracts of Japan

PUBLICATION NUMBER : 09034398
PUBLICATION DATE : 07-02-97

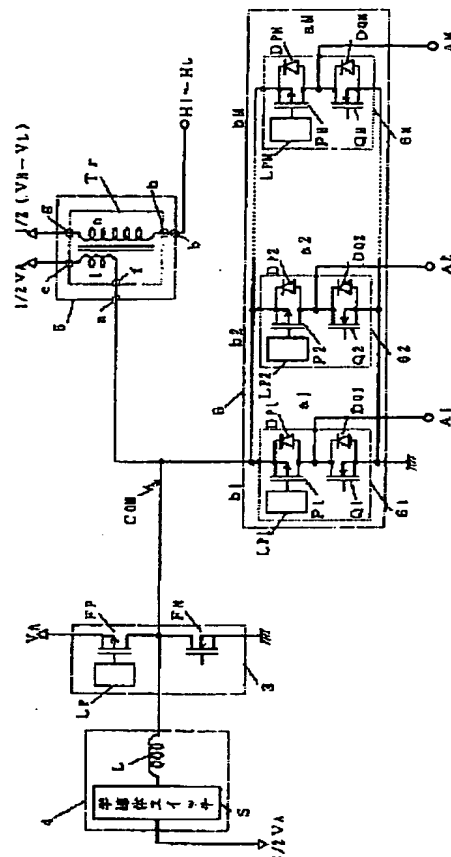
APPLICATION DATE : 19-07-95
APPLICATION NUMBER : 07182490

APPLICANT : MATSUSHITA ELECTRON CORP;

INVENTOR : MAE HAJIME;

INT.CL. : G09G 3/28

TITLE : POSITIVE ELECTRODE DRIVE
CIRCUIT DEVICE FOR DC PULSE
MEMORY TYPE PLASMA DISPLAY
DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To lower the cost of an auxiliary positive electrode drive circuit by installing a push-pull circuit which drives the common line, and an auxiliary positive electrode drive circuit and a positive electrode drive circuit which output driver voltage based on the voltage of the common line.

SOLUTION: The common line COM driven by a push-pull circuit 3 which is composed from a high side P-FET Fp and the low side N-FET FN is connected to a power recovery circuit 4. In addition, it is connected with an auxiliary positive electrode drive circuit 5 and a positive electrode circuit 6 which output the driving voltage using this common line COM. The auxiliary positive electrode drive circuit 5 is constituted from a step-up transformer Tr alone, and the N-FET FN does not necessitate a level shifter because its source side is at the ground potential. And since the common line COM is connected with a power recovery circuit, none of the resistor group and the diode group are unnecessary in the positive drive circuit 6.

COPYRIGHT: (C)1997,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-34398

(43) 公開日 平成9年(1997)2月7日

(51) Int. Cl.⁶

G 0 9 G 3/28

識別記号

庁内整理番号

4237-5H

F I

G 0 9 G 3/28

技術表示箇所

F

審査請求 未請求 請求項の数 7 O L (全 19 頁)

(21) 出願番号 特願平7-182490

(22) 出願日 平成7年(1995)7月19日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 伊藤 幸治

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 前 肇

大阪府高槻市幸町1番1号 松下電子工業株式会社内

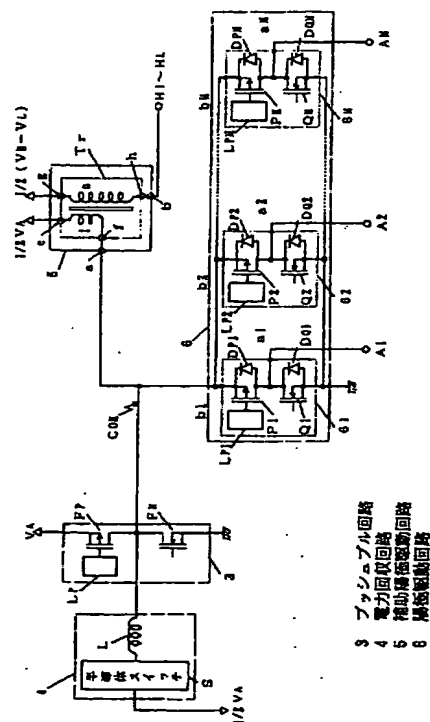
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 DCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置

(57) 【要約】

【課題】 補助陽極駆動回路および陽極駆動回路のコストを下げ、陽極駆動回路の消費電力を低減し、書き込み放電を起こしやすくかつ誤放電を起こしにくくすることができるDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置を提供する。

【解決手段】 ハイサイド側電界効果トランジスタ F_p およびローサイド側電界効果トランジスタ F_n からなるプッシュプル回路3で共通ラインCOMを駆動する。共通ラインCOMには、電力回収回路4を接続し、さらに共通ラインCOMの電圧に基づいて駆動電圧を出力する補助陽極駆動回路5および陽極駆動回路6を接続する。



3 プッシュプル回路
4 電力回収回路
5 補助陽極駆動回路
6 陽極駆動回路

【特許請求の範囲】

【請求項1】 ハイサイド側電界効果トランジスタおよびローサイド側電界効果トランジスタからなり共通ラインを駆動するプッシュプル回路と、前記共通ラインに接続した電力回収回路と、前記共通ラインに接続され前記共通ラインの電圧に基づいて駆動電圧を出力する補助陽極駆動回路および陽極駆動回路とを備えたDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置。

【請求項2】 補助陽極駆動回路が共通ラインの電圧を昇圧して出力する昇圧手段からなる請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置。

【請求項3】 昇圧手段が昇圧器である請求項2記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置。

【請求項4】 補助陽極駆動回路が共通ラインの電圧をコンデンサによる容量結合により出力するとともにダイオードを介して出力電圧の片方の電位側を固定する容量結合回路である請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置。

【請求項5】 陽極駆動回路が、各出力端を各陽極にそれぞれ接続し、前記各出力端をグラウンドラインに接続する状態と共通ラインに接続する状態との切り換えを行う半導体スイッチ群からなる請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置。

【請求項6】 補助陽極駆動回路が共通ラインの電圧をコンデンサによる容量結合により出力するとともにダイオードを介して出力電圧の片方の電位側を固定する容量結合回路であり、陽極駆動回路が、各出力端を各陽極にそれぞれ接続し、前記各出力端をグラウンドラインに接続する状態とツェナーダイオードを介して共通ラインに接続する状態との切り換えを行う半導体スイッチ群からなる請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置。

【請求項7】 補助陽極駆動回路が共通ラインの電圧をコンデンサによる容量結合により出力するとともにダイオードを介して出力電圧の片方の電位側を固定する容量結合回路からなり、陽極駆動回路が、各出力端を各陽極にそれぞれ接続し、前記各出力端をグラウンドラインに接続する状態と2端子回路を介して共通ラインに接続する状態との切り換えを行う半導体スイッチ群からなり、抵抗器およびツェナーダイオードの直列回路と前記抵抗器の電圧降下を検出して前記抵抗器および前記ツェナーダイオードに流れる電流を一定にするように分流させる半導体素子とダイオードとを並列に接続して前記2端子回路を構成した請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はテレビおよび広告表示盤等の画像表示に用いる薄形パネル状のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置に関するものである。

【0002】

【従来の技術】従来例としてのDCパルスメモリ型プラズマディスプレイ装置の電極配置構成を図8に示す。このDCパルスメモリ型プラズマディスプレイ装置は、図8に示すように、列方向には、L列の補助陽極 $H_1 \sim H_L$ およびこの補助陽極 $H_1 \sim H_L$ のそれぞれの両側にM列の陽極 $A_1 \sim A_M$ が配置され、これらに直交対向して行方向には1本の予放電用陰極RおよびN行の陰極 $K_1 \sim K_N$ が配置されている。

【0003】この図8の構成において、補助陽極 $H_1 \sim H_L$ および陽極 $A_1 \sim A_M$ と予放電陰極Rおよび陰極 $K_1 \sim K_N$ との間の交点部で放電が起きるようになされており、補助陽極 $H_1 \sim H_L$ と予放電陰極R間の放電は、補助陽極 $H_1 \sim H_L$ と陰極 K_1, K_2, \dots, K_N との間に次々と続く放電が起こりやすくなされ、また補助陽極 $H_1 \sim H_L$ と陰極 K_1, K_2, \dots, K_N との間の放電は、陽極 $A_1 \sim A_M$ と陰極 K_1, K_2, \dots, K_N との間の放電を起動しやすくなるための補助放電として働くようになされている。

【0004】また、このDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の駆動パルス電圧のタイミングを図9に示す。この図9を用いて、以下にパネルに一面画の表示を行うための動作について説明する。まず予放電陰極Rについては、予放電期間 t_0 において $-V_L$ (V) 電位の補助陽極 $H_1 \sim H_L$ に正の補助パルス電圧 V_H (V)、 $-V_E$ (V) 電位の予放電陰極Rに負の予放電パルス電圧 $-V_E - V_R$ (V)が印加されると、補助陽極 $H_1 \sim H_L$ と予放電陰極R間に予放電が起きる。ただし、一度のパルス電圧印加ではこの予放電が起きにくいので、図9に示すように、複数回の補助パルス電圧 V_H (V)および予放電パルス電圧 $-V_E - V_R$ (V)が印加される。

【0005】つぎに、陰極 K_1 については、書き込み期間 t_1 において、補助陽極 $H_1 \sim H_L$ に正の補助パルス電圧 V_H (V)、0 (V) 電位の陽極 $A_1 \sim A_M$ の内の書き込みセル S_1 (図示せず)に対応する陽極 A_{s1} (図示せず)に正の書き込みパルス電圧 V_A (V)、 $-V_E$ (V) 電位の陰極 K_1 に負の走査パルス電圧 $-V_E - V_R$ (V)が印加されると、補助陽極 $H_1 \sim H_L$ と予放電陰極R間の予放電の残留電荷のために、まず補助陽極 $H_1 \sim H_L$ と陰極 K_1 との間の補助放電が先行し、この補助放電に励起されて書き込みセル S_1 (図示せず)に対応する陽極 A_{s1} (図示せず)と陰極 K_1 との間で書き込み放電が起きる。

【0006】つぎに、陽極 A_{s1} が0 (V) 電位の陰極 K_1 についての維持期間 t_2 に、陰極 K_1 に負の維持パル

ス電圧 $-V_E - V_K$ (V) が印加されると、陽極 $A_{\#1}$ (図示せず) と陰極 K_1 との間には $0 - (-V_E) - (-V_K) = V_E + V_K$ (V) の電圧が加わり、この電圧が放電維持電圧を超えるように設定されているので、書き込み放電の残留電荷のために、陽極 $A_{\#1}$ (図示せず) と陰極 K_1 との間に、維持放電が起きる。この維持放電は、同様にして維持期間 t_6, t_8, \dots, t_K で繰り返され、断続的ではあるが持続される。そして、陰極 K_1 への負の維持パルス電圧 $-V_E - V_K$ (V) の印加を停止するとこの維持放電は消去される。

【0007】補助陽極 $H_1 \sim H_L$ の電位を $-V_L$ (V) としているのは、維持期間 $t_4, t_6, t_8, \dots, t_K$ において、補助陽極 $H_1 \sim H_L$ と陰極 K_1 との間に誤放電を起こさないようにするためであり、この時、補助陽極 $H_1 \sim H_L$ と陰極 K_1 間の電圧 $-V_L - (-V_E) - (-V_K) = V_E + V_K - V_L$ (V) が放電維持電圧を超えないように $-V_L$ (V) の値を設定している。

【0008】また陰極 K_2 については同様に、書き込み期間 t_3 において、補助陽極 $H_1 \sim H_L$ に正の補助パルス電圧 V_H (V)、陽極 $A_1 \sim A_H$ の内の書き込みセル S_2 (図示せず) に対応する陽極 $A_{\#2}$ (図示せず) に正の書き込みパルス電圧 V_A (V)、 $-V_E$ (V) 電位の陰極 K_2 への負の走査パルス電圧 $-V_E - V_K$ (V) が印加されると、補助陽極 $H_1 \sim H_L$ と陰極 K_1 間の補助放電の残留電荷のために、まず補助陽極 $H_1 \sim H_L$ と陰極 K_2 との間の補助放電が先行し、この補助放電に励起されて書き込みセル S_2 (図示せず) に対応する陽極 $A_{\#2}$ (図示せず) と陰極 K_2 との間で書き込み放電が起きる。

【0009】つぎに、陽極 $A_{\#2}$ が0 (V) 電位の陰極 K_2 についての維持期間 t_6 に、陰極 K_2 への負の維持パルス電圧 $-V_E - V_K$ (V) が印加されると、陽極 $A_{\#2}$ と陰極 K_2 との間には $0 - (-V_E) - (-V_K) = V_E + V_K$ (V) の電圧が加わり、この電圧が放電維持電圧を超えるように設定されているので、書き込み放電の残留電荷のために陽極 $A_{\#2}$ (図示せず) と陰極 K_2 との間に維持放電が起きる。この維持放電は、同様にして期間 t_8, t_{10} (いずれも図示せず), \dots, t_{K+2} で繰り返され、断続的ではあるが持続される。そして、陰極 K_2 への負の維持パルス電圧の印加を停止するとこの維持放電は消去される。

【0010】この時、前述のように、補助陽極 $H_1 \sim H_L$ の電位が $-V_L$ (V) に設定されているので、維持期間 t_6, t_8 (図示せず), \dots, t_{K+2} において、補助陽極 $H_1 \sim H_L$ と陰極 K_2 との間には誤放電を起こさない。さらに同様の動作が陰極 $K_3 \sim K_N$ について繰り返され、一画面の表示の動作が完了する。

【0011】なお、従来例としてDCパルスメモリ型プラズマディスプレイ装置の電極配置構成を図8に示したが、DCパルスメモリ型プラズマディスプレイ装置はこ

れに限ったものではなく、陽極群に抵抗器を付設した電極配置構成やその他の各種のDCパルスメモリ型プラズマディスプレイ装置の電極配置構成においても上述の説明が成り立つ。

【0012】従来例としての図8に示したDCパルスメモリ型プラズマディスプレイ装置に用いられる陽極駆動回路装置を図10および図11に示す。図10は補助陽極 $H_1 \sim H_L$ を駆動するための補助陽極駆動回路1を示し、P型電界効果トランジスタ F_P 、N型電界効果トランジスタ F_N およびレベルシフト L_P, L_N からなるプッシュプル回路1aとインダクタンス L および半導体スイッチ S からなる電力回収回路1bで構成されている。

【0013】また、図11は陽極 $A_1 \sim A_H$ を駆動するための陽極駆動回路2を示し、P型電界効果トランジスタ $P_1 \sim P_H$ 、N型電界効果トランジスタ $Q_1 \sim Q_H$ およびレベルシフト $L_{P1} \sim L_{PH}$ からなる半導体スイッチ $2_1 \sim 2_H$ と、抵抗器 $R_1 \sim R_H$ と、ダイオード $D_1 \sim D_H$ とで構成されている。抵抗器 $R_1 \sim R_H$ はP型電界効果トランジスタ $P_1 \sim P_H$ およびN型電界効果トランジスタ $Q_1 \sim Q_H$ で消費する電力の一部を負担する役目を持つ。また、ダイオード $D_1 \sim D_H$ は、維持放電時に、陽極 $A_1 \sim A_H$ の電位を0 (V) に固定して、陽極 $A_1 \sim A_H$ へ維持電流を流出するためのものである。また図11中の二点鎖線で囲まれた半導体スイッチ $2_1 \sim 2_H$ は全部または複数個の部分に分割してIC化することができる。

【0014】図10に示した補助陽極駆動回路1において、補助電極 $H_1 \sim H_L$ に印加する補助パルス電圧のタイミングを例にとって図12に示す。図10および図12を用いて、この補助陽極駆動回路1の動作を説明する。プッシュプル回路1aのP型電界効果トランジスタ F_P およびN型電界効果トランジスタ F_N は、図12に示すように、それぞれ交互にオン/オフを繰り返しプッシュプル動作を行っている。以下に述べる期間 t_1, \dots, t_6, \dots は図9に示す期間と同じである。

【0015】このプッシュプル回路1aのN型電界効果トランジスタ F_N がオフするタイミング、例えば書き込み期間 t_1 の最初に、まず電力回収回路1bが動作し、同時に $-V_L$ (V) の補助陽極 $H_1 \sim H_L$ の電位を $-V_L$ (V) から V_H (V) に引き上げる。補助陽極 $H_1 \sim H_L$ の電位が V_H (V) に引き上がる直前、すなわち書き込み期間 t_1 の前縁部の期間 t_1' の終了時にプッシュプル回路1aのP型電界効果トランジスタ F_P がオンすることによって、電力回収回路1bの動作に継続し補助陽極 $H_1 \sim H_L$ の電位を V_H (V) に固定し、書き込み期間 t_1 の終了時にP型電界効果トランジスタ F_P がオフするまで保持される。

【0016】つぎに、期間 t_2 の最初に、電力回収回路1bが再び動作し、同時に V_H (V) の補助陽極 $H_1 \sim H_L$ の電位を V_H (V) から $-V_L$ (V) に引き下げ

る。補助陽極 $H_1 \sim H_L$ の電位が $-V_L$ (V)に引き下がる直前、すなわち期間 t_2 の前縁部の期間 t_2' の終了時にN型電界効果トランジスタ F_N がオンすることによって、電力回収回路1bの動作に継続し補助陽極 $H_1 \sim H_L$ の電位を $-V_L$ (V)に固定し、期間 t_2 の終了時にN型電界効果トランジスタ F_N がオフするまで保持される。

【0017】同様に、期間 t_1 、 t_2 での動作が以降 t_3 、 t_4 、…で繰り返され補助電極電圧パルスが断続的に繰り返され、補助陽極 $H_1 \sim H_L$ にその電圧パルスが出力される。ここで、電力回収回路1bについて説明する。電力回収回路1bは、一例としては図13に示すように、インダクタンス L およびダイオード D_{U1} 、 D_{U2} 、N型電界効果トランジスタ U_1 、 U_2 からなる半導体スイッチ S で構成されている。インダクタンス L の値は、電力回収回路1bの動作時間による補助陽極 $H_1 \sim H_L$ から見たDCパルスメモリ型プラズマディスプレイ装置の静電容量 C_p との共振条件から決められる。

【0018】つぎに、この電力回収回路1bの動作について説明する。まず、補助陽極 $H_1 \sim H_L$ の電位を $-V_L$ (V)から V_H (V)に引き上げるときは、N型電界効果トランジスタ U_1 をオンにすると、 $1/2 (V_H - V_L)$ (V)の電源からN型電界効果トランジスタ U_1 、ダイオード D_{U1} 、インダクタンス L を通じてパネルの静電容量 C_p に充電電流が流れる。これによりインダクタンス L と静電容量 C_p とが共振し、補助陽極 $H_1 \sim H_L$ の電位を $-V_L$ (V)から $1/2 (V_H - V_L)$ (V)まで持ち上げる間にインダクタンス L が電力を蓄え、補助陽極 $H_1 \sim H_L$ の電位を $1/2 (V_H - V_L)$ (V)からさらに V_H (V)まで持ち上げる間にインダクタンス L がその蓄えた電力を静電容量 C_p に与えることにより無効電力の回収が行われる。

【0019】同様に、補助陽極 $H_1 \sim H_L$ の電位を V_H (V)から $-V_L$ (V)に引き下げるときは、N型電界効果トランジスタ U_2 をオンにすると、 V_H (V)の電荷が蓄積されているDCパルスメモリ型プラズマディスプレイ装置の静電容量 C_p からインダクタンス L 、ダイオード D_{U2} 、N型電界効果トランジスタ U_2 を通じて $1/2 (V_H - V_L)$ (V)の電源に充電電流が流れる。これによりインダクタンス L と静電容量 C_p とが共振し、補助陽極 $H_1 \sim H_L$ の電位を V_H (V)から $1/2 (V_H - V_L)$ (V)まで引き下げる間にインダクタンス L が電力を蓄え、補助陽極 $H_1 \sim H_L$ の電位を $1/2 (V_H - V_L)$ (V)からさらに $-V_L$ (V)まで引き下げる間にインダクタンス L がその蓄えた電力を C_p に与えることにより無効電力の回収が行われる。

【0020】図10に示す補助陽極駆動回路1は、電力回収回路1bを有しているため、補助陽極 $H_1 \sim H_L$ から見たDCパルスメモリ型プラズマディスプレイ装置の容量性負荷に起因する無効電力の回収ができるという特

徴がある。つぎに、図11に示した陽極駆動回路2において、陽極 A_1 に印加する陽極パルス電圧のタイミングを例にとって図14に示す。

【0021】図11および図14を用いてこの陽極駆動回路2の動作を説明する。半導体スイッチ 2_1 のP型電界効果トランジスタ P_1 およびN型電界効果トランジスタ Q_1 は、図14に示すように、それぞれ交互にオン/オフを繰り返してプッシュプル動作を行っている。以下に述べる期間 t_1 、…、 t_6 、…は図9に示す期間と同じである。

【0022】この半導体スイッチ 2_1 のN型電界効果トランジスタ Q_1 がオフした直後、例えば書き込み期間 t_1 の最初に、半導体スイッチ 2_1 のN型電界効果トランジスタ P_1 がオンし、0 (V)の陽極 A_1 の電位を0 (V)から V_A (V)に引き上げようとする。しかし、抵抗器 R_1 と陽極 A_1 から見たDCパルスメモリ型プラズマディスプレイ装置の容量性負荷(図示せず)との積で定まる時定数のために、実際の陽極 A_1 の電位は、図14に示すように、 T_{CR} の時間をかけて緩やかに0 (V)から V_A (V)に引き上げられる。その後、書き込み期間 t_1 の終了時にP型電界効果トランジスタ P_1 がオフするまでは、陽極 A_1 の電位は、そのまま V_A (V)に固定される。

【0023】つぎに、期間 t_2 の最初にN型電界効果トランジスタ Q_1 がオンし、 V_A (V)の陽極 A_1 の電位を V_A (V)から0 (V)に引き下げようとする。しかし、前述のように、抵抗器 R_1 と陽極 A_1 から見たDCパルスメモリ型プラズマディスプレイ装置の容量性負荷(図示せず)との積で定まる時定数のために、実際の陽極 A_1 の電位は、図14に示すように、 T_{CR} の時間をかけて緩やかに V_A (V)から0 (V)に引き下げられる。その後、期間 t_2 において、N型電界効果トランジスタ Q_1 がオン、P型電界効果トランジスタ P_1 がオフを保つので、陽極 A_1 の電位は、そのまま0 (V)に固定される。

【0024】また、つぎの期間 t_3 が、例えば非書き込み動作が行われる非書き込み期間とすると、この非書き込み期間 t_3 中は、N型電界効果トランジスタ Q_1 はオン、P型電界効果トランジスタ P_1 はオフの状態が維持され、陽極 A_1 の電位は、続いて0 (V)に固定されたままとなる。しかし、隣接する陽極、例えば陽極 A_2 に書き込み動作が行われていると、陽極 A_1 、 A_2 間の静電容量による静電誘導のために、陽極 A_1 の電位が正電圧に引き上がる状態に対しては、ダイオード D_1 に対しては逆方向となり、N型電界効果トランジスタ Q_1 がオンであっても、抵抗器 R_1 があるために陽極 A_1 の電位が、0 (V)に固定されないため、図14に示すように一瞬陽極 A_1 の電位が正電位に持ち上がり、陽極 A_1 、 A_2 間の静電容量の電荷が抵抗器 R_1 を通じて放電して0 (V)に戻る。その後は、つぎの期間 t_4 の終了時

で、陽極 A_1 の電位は0(V)に固定されたままとなる。

【0025】この時、正電位に持ち上がった陽極 A_1 のために誤って書き込み放電が起こらないように、抵抗器 R_1 の抵抗値をできるだけ低く設定しなければならない。また、抵抗器 R_1 の抵抗値は上述のように、P型電界効果トランジスタ P_1 およびN型電界効果トランジスタ Q_1 の消費電力を一部負担するのに必要な高い抵抗値に設定しなければならない。したがって、抵抗器 R_1 の抵抗値はこれらの妥協値しか取り得ない。

【0026】さらに、つぎの期間 t_5 が、例えば書き込み動作が行われる期間とすると、この書き込み期間 t_5 とつぎの期間 t_6 の動作は、書き込み期間 t_1 、期間 t_2 で述べた動作が同様に行われる。このように、以降の期間 t_7 、 t_8 、…において、書き込み動作では期間 t_1 、 t_2 の動作が、非書き込み動作では期間 t_3 、 t_4 の動作が同様に行われる。以上の動作が、陽極 A_2 、…、 A_n についても同様に行われる。ただし、書き込み動作の期間、非書き込み動作の期間は、DCパルスメモリ型プラズマディスプレイ装置に表示する一画面の表示内容によって選択される。また、陽極電位が0(V)に保たれている期間 t_2 、 t_4 、…において、例えば図9の陰極 K_1 での期間 t_2 、 t_4 、…、 t_K に示すように維持動作が行われている時には、陽極への維持放電電流はダイオード $D_1 \sim D_n$ から流れる。

【0027】このように、図11に示す陽極駆動回路2は、各半導体スイッチ 2_1 、…、 2_n が各陽極 A_1 、…、 A_n の独立した書き込み、非書き込み動作に応じて別々に動作するようになされているので、図10に示した補助陽極駆動回路1のように、1台の電力回収回路で共用して設けることができない。そのため、このままでは半導体スイッチ $2_1 \sim 2_n$ の消費電力が大きくなるので、これに使用されるP型電界効果トランジスタ $P_1 \sim P_n$ およびN型電界効果トランジスタ $Q_1 \sim Q_n$ に大型、大電力のものが必要となる。これを改善するため、陽極駆動回路2では図11に示すように、半導体スイッチ $2_1 \sim 2_n$ の出力端が抵抗器 $R_1 \sim R_n$ を通じて陽極 $A_1 \sim A_n$ に接続されており、この抵抗器 $R_1 \sim R_n$ により消費電力の一部を賄うようになすことにより、中型、中電力程度のP型電界効果トランジスタ $P_1 \sim P_n$ およびN型電界効果トランジスタ $Q_1 \sim Q_n$ の使用を可能にしている。

【0028】

【発明が解決しようとする課題】しかし、従来例の陽極駆動回路装置では、補助陽極駆動回路1のプッシュプル回路1aのP型電界効果トランジスタ F_p のソース電位およびN型電界効果トランジスタ F_n のソース電位がP型電界効果トランジスタ F_p およびN型電界効果トランジスタ F_n のオンオフを制御する制御回路の電位と同じ0(V)でないので、P型電界効果トランジスタ F_p 、

N型電界効果トランジスタ F_n を制御するためにそれぞれレベルシフト L_p 、 L_n が必要となり、プッシュプル回路1aがコストアップになるという問題がある。

【0029】また、陽極駆動回路2は、前述のように、各半導体スイッチ 2_1 、…、 2_n が各陽極 A_1 、…、 A_n の独立した書き込み、非書き込み動作に応じて別々に動作するようになされているので、図10に示した補助陽極駆動回路1のように、1台で共用できる電力回収回路を設けることができない。そのため、このままでは半導体スイッチ $2_1 \sim 2_n$ の消費電力が大きくなるので、これを改善するため、陽極駆動回路2では図11に示すように、半導体スイッチ $2_1 \sim 2_n$ の出力端が抵抗器 $R_1 \sim R_n$ を通じて陽極 $A_1 \sim A_n$ に接続されており、この抵抗器 $R_1 \sim R_n$ により消費電力の一部を賄うようになすことにより、中型、中電力程度のP型電界効果トランジスタ $P_1 \sim P_n$ およびN型電界効果トランジスタ $Q_1 \sim Q_n$ の使用を可能にしているが、抵抗器 $R_1 \sim R_n$ およびダイオード $D_1 \sim D_n$ が必要なので、陽極駆動回路2がコストアップになるという問題がある。

【0030】その上、この陽極駆動回路2は、抵抗器 $R_1 \sim R_n$ があるために、書き込みパルス電圧の波形が鈍り急峻な電圧パルス印加ができないので、書き込み放電が起こり難くなるという欠点があり、さらに前述のように、非書き込み期間に陽極電位の持ち上がりが起こり、誤放電が起こりやすくなるという欠点がある。また、電力回収回路を付設できないので、DCパルスメモリ型プラズマディスプレイ装置の容量性負荷に起因する無効電力の回収ができないため、陽極駆動回路2の消費電力が非常に大きくなるという問題がある。

【0031】さらに、補助陽極駆動回路1とこの陽極駆動回路2とが別回路になっているため、両者の駆動タイミングがずれたり、補助陽極 $H_1 \sim H_L$ と陽極 $A_1 \sim A_n$ 間に電位差が生じ、実効的なDCパルスメモリ型プラズマディスプレイ装置の容量性負荷が大幅に増えるので、これによる無効電力の増大のために陽極駆動回路2の消費電力が極めて大きくなり、場合によってはP型電界効果トランジスタ $P_1 \sim P_n$ およびN型電界効果トランジスタ $Q_1 \sim Q_n$ が破壊するという問題がある。

【0032】この発明の第1の目的は、補助陽極駆動回路のコストを下げるができるDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置を提供することである。この発明の第2の目的は、陽極駆動回路のコストを下げるができるDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置を提供することである。

【0033】この発明の第3の目的は、書き込み放電を起こしやすかつ誤放電を起こしにくいDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置を提供することである。この発明の第4の目的は、陽極駆動

回路の消費電力を低減することができるDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置を提供することである。

【0034】

【課題を解決するための手段】請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、ハイサイド側電界効果トランジスタおよびローサイド側電界効果トランジスタからなり共通ラインを駆動するプッシュプル回路と、共通ラインに接続した電力回収回路と、共通ラインに接続され共通ラインの電圧に基づいて駆動電圧を出力する補助陽極駆動回路および陽極駆動回路とを備えている。

【0035】このような構成によると、補助陽極駆動回路には駆動用の電界効果トランジスタは不要となり、その代わりに設けられた共通ライン駆動用のプッシュプル回路は、補助陽極の駆動電位に左右されずに設定することができ、ローサイド側電界効果トランジスタについてはソース電位を制御回路のグラウンド電位と同じにでき、ローサイド側電界効果トランジスタについてはレベルシフトが不要となり、回路構成を簡略化でき、プッシュプル回路も含めて補助陽極駆動回路のコストを低くできる。

【0036】また、プッシュプル回路で共通ラインを駆動し、共通ラインに電力回収回路を接続するとともに、共通ラインの電圧に基づいて補助陽極駆動回路および陽極駆動回路が駆動電圧を出力するので、補助陽極駆動回路だけでなく陽極駆動回路についても電力回収を行うことができ、したがって消費電力の一部を負担させるための抵抗器を設けることが不要となり、回路構成を簡略化でき、陽極駆動回路のコストを低くできる。

【0037】また、消費電力の一部を負担させるための抵抗器を設けていないので、陽極に加える電圧波形が鈍ることがなく、書き込み放電を起こしやすくなることができ、しかも、非書き込み放電時に陽極電位の持ち上がりが生じず、誤放電を起こしにくくなることができる。また、共通ラインの電圧に基づいて補助陽極駆動回路および陽極駆動回路が駆動電圧を出力するようにしたので、補助陽極駆動回路および陽極駆動回路の動作のタイミングがずれたり、陽極駆動回路が動作しているのに、補助陽極駆動回路の動作が停止することがなくなり、補助陽極と陽極との間に電位差が生じてDCパルスメモリ型プラズマディスプレイ装置の実効的な容量性負荷が増加して無効電力が増大することはなくなり、陽極駆動回路の消費電力の増大を防止でき、さらに陽極駆動回路を構成している回路素子の破壊を防止できる。

【0038】請求項2記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置において、補助陽極駆動回路が共通ラインの電圧を昇圧して出力する昇圧手段からなる。この構

成によると、補助陽極駆動回路は共通ラインの電圧を昇圧するだけでよく、スイッチング用の回路は不要であるので、構成がきわめて簡単である。

【0039】請求項3記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、請求項2記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置において、昇圧手段が昇圧器である。この構成によると、補助陽極駆動回路として昇圧器を用いるだけでよく、構成がきわめて簡単である。請求項4記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置において、補助陽極駆動回路が共通ラインの電圧をコンデンサによる容量結合により出力するとともにダイオードを介して出力電圧の片方の電位側を固定する容量結合回路である。この構成によると、補助陽極駆動回路として容量結合回路を用いるだけでよく、スイッチング用の回路は不要となり、構成がきわめて簡単である。

【0040】請求項5記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置において、陽極駆動回路が、各出力端を各陽極にそれぞれ接続し、各出力端をグラウンドラインに接続する状態と共通ラインに接続する状態との切り換えを行う半導体スイッチ群からなる。

【0041】請求項6記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置において、補助陽極駆動回路が共通ラインの電圧をコンデンサによる容量結合により出力するとともにダイオードを介して出力電圧の片方の電位側を固定する容量結合回路であり、陽極駆動回路が、各出力端を各陽極にそれぞれ接続し、各出力端をグラウンドラインに接続する状態とツェナーダイオードを介して共通ラインに接続する状態との切り換えを行う半導体スイッチ群からなる。

【0042】請求項7記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、請求項1記載のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置において、補助陽極駆動回路が共通ラインの電圧をコンデンサによる容量結合により出力するとともにダイオードを介して出力電圧の片方の電位側を固定する容量結合回路からなり、陽極駆動回路が、各出力端を各陽極にそれぞれ接続し、各出力端をグラウンドラインに接続する状態と2端子回路を介して共通ラインに接続する状態との切り換えを行う半導体スイッチ群からなり、抵抗器およびツェナーダイオードの直列回路と抵抗器の電圧降下を検出して抵抗器およびツェナーダイオードに流れる電流を一定にするように分流させる半導体素子とダイオードとを並列に接続して2端子回路を構成

している。

【0043】

【発明の実施の形態】この発明の第1の実施の形態としてのDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置を図1に示す。またその駆動のタイミングを図2に示す。なお、この陽極駆動回路が適用できるDCパルスメモリ型プラズマディスプレイ装置は、従来例として図8に示した電極配置構成のDCパルスメモリ型プラズマディスプレイ装置および陽極群に抵抗器を付設したDCパルスメモリ型プラズマディスプレイ装置や、その他各種の電極配置構成のDCパルスメモリ型プラズマディスプレイ装置も含まれる。

【0044】図1においては、ハイサイド側のP型電界効果トランジスタ F_p およびローサイド側のN型電界効果トランジスタ F_n からなるプッシュプル回路3により共通ラインCOMを駆動するようになし、この共通ラインCOMに電力回収回路4を接続し、さらに共通ラインCOMに、この共通ラインCOMの電圧を用いて駆動電圧を出力するようになす補助陽極駆動回路5と陽極駆動回路6とを接続した構成のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置が示されている。

【0045】また、プッシュプル回路3のハイサイド側のP型電界効果トランジスタ F_p のソース電位が制御回路の電位と同じ0(V)ではないので、このハイサイド側のP型電界効果トランジスタ F_p を駆動するためにレベルシフタ L_p が設けられている。また、補助陽極駆動回路5は、昇圧手段、すなわちここでは一例として昇圧比1:nの昇圧器Trを用いて共通ラインCOMの電圧をn倍に昇圧出力するようになされており、陽極駆動回路6は、各陽極 A_1, \dots, A_n に各半導体スイッチ $6_1, \dots, 6_n$ の出力端 a_1, \dots, a_n を接続し、この出力端 a_1, \dots, a_n をグラウンドラインと共通ラインCOMに接続された端子 b_1, \dots, b_n とに切り換え接続を行う半導体スイッチ $6_1 \sim 6_n$ で構成され、共通ラインCOMの電圧または0(V)の電圧を出力するようになされている。

【0046】また、半導体スイッチ $6_1 \sim 6_n$ は、P型電界効果トランジスタ $P_1 \sim P_n$ 、N型電界効果トランジスタ $Q_1 \sim Q_n$ 、ダイオード $D_{p1} \sim D_{pn}$ 、ダイオード $D_{q1} \sim D_{qn}$ およびレベルシフタ $L_{p1} \sim L_{pn}$ からなっている。この回路において、半導体スイッチ $6_1 \sim 6_n$ は、書き込みパルス電圧を出力する時のスイッチの役割を持つ。また、図中一点鎖線で囲まれた半導体スイッチ $6_1 \sim 6_n$ は全部または複数個の部分に分割してIC化することができる。

【0047】図1に示したDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置において、陽極 A_1 に印加する書き込みパルス電圧のタイミングを例にとって図2に示す。なお、陽極 A_2, \dots, A_n に印加する書き込みパルス電圧のタイミングは、陽極 A_1 に印加す

る書き込みパルス電圧のタイミングと同じであるが、前述のように、書き込み動作の期間、非書き込み動作の期間は、DCパルスメモリ型プラズマディスプレイ装置に表示する一画面の表示内容によって選択される。

【0048】図1および図2を用いて、このDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の動作を説明する。プッシュプル回路3のハイサイド側のP型電界効果トランジスタ F_p およびローサイド側のN型電界効果トランジスタ F_n は、図2に示すように、それぞれ交互にオン/オフを繰り返しプッシュプル動作を行っている。また、半導体スイッチ 6_1 のP型電界効果トランジスタ P_1 およびN型電界効果トランジスタ Q_1 は陽極 A_1 の書き込み動作、非書き込み動作に応じて互いにオン/オフの切り換えを行っている。以下に述べる期間 t_1, \dots, t_6, \dots は図9に示す期間と同じである。まず書き込み動作について説明する。例えば書き込み期間 t_1 の直前に、予めP型電界効果トランジスタ P_1 がオン、N型電界効果トランジスタ Q_1 がオフの状態で、プッシュプル回路3のローサイド側のN型電界効果トランジスタ F_n がオフし、書き込み期間 t_1 の最初に電力回収回路4が動作し、共通ラインCOMおよび陽極 A_1 の電位を0(V)から V_A (V)に引き上げる。共通ラインCOMおよび陽極 A_1 の電位が V_A (V)に引き上がる直前、すなわち書き込み期間 t_1 の前縁部の期間 t_1' の終了直前に、ハイサイド側のP型電界効果トランジスタ F_p がオンすることによって、電力回収回路4の動作に継続し共通ラインCOMおよび陽極 A_1 の電位を V_A (V)に固定し、その状態は書き込み期間 t_1 の終了時にハイサイド側のP型電界効果トランジスタ F_p がオフするまで持続される。

【0049】つぎに、期間 t_2 の最初において、再び電力回収回路4が動作し、共通ラインCOMおよび陽極 A_1 の電位を V_A (V)から0(V)に引き下げる。この時、陽極 A_1 からの電力回収電流はダイオード D_{p1} を通じて流れる。共通ラインCOMおよび陽極 A_1 の電位が0(V)に引き下がる直前、すなわち期間 t_2 の前縁部の期間 t_2' の終了直前にローサイド側のN型電界効果トランジスタ F_n がオンすることによって、電力回収回路4の動作に継続し共通ラインCOMおよび陽極 A_1 の電位を0(V)に固定する。これにより、陽極 A_1 に書き込みパルスが印加される。この後、期間 t_2 の終了時に、ローサイド側のN型電界効果トランジスタ F_n がオフするまで、共通ラインCOMおよび陽極 A_1 の電位は0(V)に固定されたままとなる。ただし、図9に示すように、陰極 $K_1 \sim K_n$ に維持パルスが印加され、維持放電が行われる時には、この維持放電の電流はダイオード D_{q1} を通じて流れ、陽極 A_1 の電位が0(V)に固定される。同様に、期間 t_1, t_2 の動作が以降 t_3, t_4, \dots で繰り返され、陽極 A_1 に書き込み電圧パルスを出力する。

【0050】ただし、非書き込み動作を行うときは、例えば期間 t_3 が非書き込み期間である場合は、図2中に破線で示すように、 t_2 の途中から t_4 の途中までの間にP型電界効果トランジスタ P_1 をオフ、N型電界効果トランジスタ Q_1 をオンに切り換えておくことにより、陽極 A_1 が共通ラインCOMから切り放され、N型電界効果トランジスタ Q_1 とダイオード D_{01} とでグラウンドに固定されるので、陽極 A_1 に書き込みパルス電圧が印加されないで0(V)の電位を保つ。

【0051】補助陽極の補助放電パルス電圧は、図1に示す補助陽極駆動回路5において、共通ラインCOMの電圧を昇圧器Trにより n 倍に昇圧して出力するようになされている。すなわち、昇圧器Trの一次側巻線の一端eに $1/2 \times V_A$ (V)の電位を与えれば、一次側巻線のef間には $\pm 1/2 \times V_A$ (V)の入力電圧が与えられ、昇圧器Trの昇圧比 n を $n = (V_H + V_L) / V_A$ とし、昇圧器Trの二次側巻線の一端gに $1/2 \times (V_H - V_L)$ (V)の電位を与えれば、二次側巻線のgh間には $\pm 1/2 \times V_A \times n = \pm 1/2 \times V_A \times (V_H + V_L) / V_A = \pm 1/2 \times (V_H + V_L)$ (V)の出力電圧が得られる。したがって、二次側巻線のhの電位は $1/2 \times (V_H - V_L) \pm 1/2 \times (V_H + V_L) = V_H$ (V)または $-V_L$ (V)となるので、図2に示すように、補助陽極 $H_1 \sim H_L$ には V_H (V)から $-V_L$ (V)まで変化する補助放電パルス電圧が出力される。

【0052】以上の説明で明らかなように、この発明の第1の実施の形態は、補助陽極駆動回路5が昇圧器Trのみで構成されており、またプッシュプル回路3のN型電界効果トランジスタ F_N は、ソース側が接地電位であるのでレベルシフトが不要となる。さらに、共通ラインCOMに電力回収回路4を接続しているため、陽極駆動回路6の半導体スイッチ $6_1 \sim 6_n$ の出力 $a_1 \sim a_n$ には抵抗器群およびダイオード群が不要になる。したがって、回路構成が簡単であり、部品数も極めて少なくなるので駆動回路の大幅なコストダウンが可能である。さらに、半導体スイッチ $6_1 \sim 6_n$ を全部または複数個の部分に分割してIC化した場合、上述の効果が顕著になる。

【0053】また、この発明の第1の実施の形態は、ハイサイド側のP型電界効果トランジスタ F_P およびローサイド側の電界効果トランジスタ F_N からなるプッシュプル回路により共通ラインCOMを駆動するようになり、この共通ラインCOMに電力回収回路を接続し、さらに共通ラインCOMに、この共通ラインCOMの電圧を用いて駆動電圧を出力するようになす補助陽極駆動回路5と陽極駆動回路1とを付設した構成であるために、補助陽極駆動回路5および陽極駆動回路6の両方の電力回収が可能となり、DCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の大幅な省電力化が可能

である。

【0054】つぎに、この発明の第2の実施の形態としてのDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置について説明する。この陽極駆動回路装置は補助陽極駆動回路についての第1の実施の形態の補助陽極駆動回路と置き換えたものであり、その他の構成は第1の実施の形態と同じである。この補助陽極駆動回路7を図3に示す。またその駆動のタイミングを図4に示す。

【0055】図3において、補助陽極駆動回路7は、図1の第1の実施の形態のa点、b点で補助陽極駆動回路5を切り放して置き換えることにより、この発明の陽極駆動回路装置の第2の実施の形態とすることができる。この補助陽極駆動回路7は、コンデンサ C_H およびダイオード D_H からなり、共通ラインCOMの電圧をコンデンサ C_H による容量結合により出力し、ダイオード D_H を介して出力電圧の片方の電位側を $-V_Z$ (V)に固定しており、容量結合回路を構成している。

【0056】この補助陽極駆動回路7において、a点の電圧は共通ラインCOMの電圧であるので、図2に示したように0(V)の電位から V_A (V)の振幅を持つパルス電圧である。一方、b点の電圧は、コンデンサ C_H とダイオード D_H を介して出力電圧の片方の電位側を $-V_Z$ (V)に固定しているため、a点とは電位が変わり、 $-V_Z$ (V)の電位から V_A (V)の振幅を持つパルス電圧となる。すなわち、図4に示すように、図2に示す補助陽極パルス電圧と同じタイミングで、 $-V_Z$ (V)から $-V_Z + V_A = V_A - V_Z$ (V)まで電位が変化するパルス電圧が補助陽極 $H_1 \sim H_L$ に出力される。

【0057】この場合、補助陽極パルス電圧 V_H は、 $V_H = V_A - V_Z$ (V)となり、補助陽極 $H_1 \sim H_L$ の電位 $-V_L$ (V)は、 $-V_L = -V_Z$ (V)となる。したがって、従来例の動作説明からわかるように、補助陽極 $H_1 \sim H_L$ と陰極 $K_1 \sim K_n$ との間の電圧 $V_H - (-V_E) - (-V_K) = V_A - V_Z - (-V_E) - (-V_K) = V_A + V_E + V_K - V_Z$ (V)が、予放電および補助放電を起動する電圧であり、 $V_E + V_K - V_L = V_E + V_K - V_Z$ (V)が前述の誤放電を起こさない電圧である場合に適用できる。

【0058】以上の説明で明らかなように、この発明の第2の実施の形態では極めて簡単な回路で補助陽極駆動回路7を構成でき、補助陽極駆動回路7および陽極駆動回路6の両方の電力回収が可能となり、DCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の大幅な省電力化が可能である。つぎに、この発明の第3の実施の形態のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置について説明する。このDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置を図5に示す。またその駆動のタイミング図を図6

に示す。図5のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置は、補助陽極駆動回路7が、共通ラインCOMの電圧をコンデンサ C_H による容量結合により出力し、ダイオード D_H を介して出力電圧の電位を固定する容量結合回路をなし、陽極駆動回路6が、それぞれの出力端を各陽極 $A_1 \sim A_H$ に接続し、この出力端をグラウンドラインとツェナーダイオード ZD を介して共通ラインCOMとに切り換えを行う半導体スイッチ $b_1 \sim b_H$ で構成されたものとなっている。すなわち、この発明の第3の実施の形態とこの発明の第2の実施の形態との相違点は、この図5から分かるように、陽極駆動回路6が $b_1 \sim b_H$ 点においてツェナーダイオード ZD を介して共通ラインCOMに接続されており、さらにプッシュプル回路3および補助陽極駆動回路7の電源電圧がそれぞれ異なっていることである。

【0059】図5および図6を用いて、この発明の第3の実施の形態のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の動作説明を行う。ただし、この発明の第1の実施の形態および第2の実施の形態の説明から明らかなことはできるだけ省略する。念のために付け加えると、図6に示すP型電界効果トランジスタ F_P 、N型電界効果トランジスタ F_N 、P型電界効果トランジスタ P_1 、N型電界効果トランジスタ Q_1 、共通ラインCOMの動作は、共通ラインCOMの電圧が異なるだけで図2に示したものと同一である。

【0060】図5に示すように、プッシュプル回路3の電源電圧が $V_H + V_L$ (V)であるので、図6において、共通ラインCOMの電位は0 (V)から $V_H + V_L$ (V)まで変化するパルス電圧となる。したがって、この補助陽極駆動回路7において、a点の電圧は共通ラインCOMの電圧であるので、図6に示したように0 (V)の電位から $V_H + V_L$ (V)の振幅を持つパルス電圧である。ただしこの補助陽極駆動回路7において、b点の電圧は、コンデンサ C_H とダイオード D_H を介して出力電圧の片方の電位側を $-V_L$ (V)に固定しているので電位が変わり、 $-V_L$ (V)の電位から $V_H + V_L$ (V)の振幅を持つパルス電圧となる。すなわち、図6に示すように、図4に示す補助陽極パルス電圧と同じタイミングで、 $-V_L$ (V)から $-V_L + V_H + V_L = V_H$ (V)まで電位が変化するパルス電圧が補助陽極 $H_1 \sim H_L$ に出力される。

【0061】また、陽極駆動回路6は、この発明の第2の実施の形態と同じものであり、 b_1, \dots, b_H 点においてツェナー電圧が $V_H - V_A + V_L$ (V)であるツェナーダイオード ZD を介して共通ラインCOMに接続されている。したがって、共通ラインCOMの電圧が0 (V)から $V_H + V_L$ (V)に変化する過程において、0 (V)からツェナー電圧の $V_H - V_A + V_L$ (V)までの過程ではツェナーダイオード Z_D が非導通なので、この陽極駆動回路の b_1, \dots, b_H 点の電位は0 (V)

であり、ツェナー電圧の $V_H - V_A + V_L$ (V)から $V_H + V_L$ (V)までの過程ではツェナーダイオード Z_D が導通するので、 b_1, \dots, b_H 点の電位は、ツェナー電圧の $V_H - V_A + V_L$ (V)を差し引かれ、0 (V)から V_A (V)まで変化する。この結果、 b_1, \dots, b_H 点の電圧はこの発明の第1の実施の形態の図2に示す共通ラインCOMの電圧と同じになるので、陽極 A_1 の書き込みパルスは、図6に示すように図2と同じ書き込みパルスとなる。

【0062】以上の説明で明かなように、この発明の第3の実施の形態では、第2の実施の形態と同じく簡単な補助陽極駆動回路7の構成において、必要な補助陽極電圧パルスおよび陽極電圧パルスが出力され、かつ補助陽極駆動回路7および陽極駆動回路7の両方の電力回収が可能となる。ここで、プッシュプル回路3および補助陽極駆動回路7の電源電圧を第2の実施の形態とは異ならせたことによる相違点について説明する。第2の実施の形態では、補助陽極パルスの電圧振幅が V_A (V)にしか設定できないが、第3の実施の形態では、補助陽極パルスの電圧振幅を V_L とツェナー電圧を調整することで、 $V_H + V_L$ (第1の実施の形態と同じ)に設定することができる。これによって、第2の実施例のような動作電圧上の制約がなくなる。

【0063】つぎに、この発明の第4の実施の形態について説明する。この発明の第3の実施の形態に示すツェナーダイオード ZD を、図5の点u、vにおいて、図7に示す2端子回路8を置き換えることにより、この発明の第4の実施の形態とすることができる。図6の2端子回路8は、抵抗器 R_D とツェナーダイオード ZDD を直列に接続した回路と、抵抗器 R_D の電圧降下を検出して抵抗器 R_D とツェナーダイオード ZDD に流れる電流を一定にするように分流させる半導体素子 S_1 と、ダイオード D_D とを並列に接続した構成となっている。

【0064】半導体素子 S_1 は一例としてP型トランジスタ TR で構成されている。この半導体素子 S_1 はP型トランジスタ TR 以外にダーリントン接続されたトランジスタやFETであってもよい。図7において、2端子u、v間にツェナーダイオード ZDD のツェナー電圧を僅かに超えた電圧が加わった場合、この電圧とツェナー電圧との差電圧を抵抗器 R_D で除した値の電流が抵抗器 R_D とツェナーダイオード ZDD との直列回路に流れる。この時抵抗器 R_D には、この電流による電圧降下が発生する。さらに2端子u、v間に加わる電圧が増加し、電圧降下が増加し、これがトランジスタ TR のエミッタ・ベース電圧を僅かに超えると、トランジスタ TR のベース電流が流れ、同時にこれに応じたコレクタ電流が流れ始める。これ以上2端子u、v間の電圧が増加しようとする、電圧降下は微増するだけとなり、この微増分に応じてトランジスタ TR のベース電流が増え、同時にこれに応じてコレクタ電流が増加する。

【0065】このように、2端子 u 、 v 間に加わる電圧がある一定の値以上となろうとすると、抵抗器 R_D の電圧降下を検出し、常に抵抗器 R_D とツェナーダイオードZDDに流れる電流は小電流でほぼ一定に保たれ、余分の電流は半導体素子 S_1 のトランジスタTRのコレクタ電流として分流される。すなわち、2端子 u 、 v 間の電圧は、抵抗器 R_D によるほぼ一定の電圧降下とツェナーダイオードZDDのツェナー電圧との和の値にほぼ固定される。したがって、ツェナーダイオードZDDが数mA程度の小電流用のものであっても、半導体素子 S_1 のトランジスタTRに数10Aが流せられる大電流用のものを用いれば、2端子回路8は数10Aの大電流用ツェナーダイオードと等価の働きをする。このような大電流用のツェナーダイオードは今のところ実在していない。図中のダイオード D_D は、2端子回路8の2端子 u 、 v 間に逆電圧が印加されたときに逆電流を流すためのものである。すなわち、陽極からの電力回収電流はこのダイオード D_D を流れる。

【0066】図8に示すDCパルスメモリ型プラズマディスプレイ装置において、陽極列数 M および陰極行数 N が増えると陽極駆動回路6の出力電流が非常に大きくなり、このような大電流を流すことができる単体のツェナーダイオードには大きな電流を流せるものが現状では存在せず、大電流が流れるDCパルスメモリ型プラズマディスプレイ装置には、第3の実施の形態の構成は適用できなかったが、この発明の第4の実施の形態では、単体のツェナーダイオードを用いる代わりに、大電流用のツェナーダイオードと等価な2端子回路8を作ったので、第3の実施の形態と同様の動作で大電流が流れるDCパルスメモリ型プラズマディスプレイ装置でも実現できるようになった。

【0067】

【発明の効果】この発明のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置によれば、ハイサイド側電界効果トランジスタおよびローサイド側電界効果トランジスタからなるプッシュプル回路により共通ラインを駆動するようになし、この共通ラインに電力回収回路を接続し、この共通ラインの電圧を用いて駆動電圧を出力するようになす補助陽極駆動回路と陽極駆動回路とを共通ラインにさらに接続した構成であるので、補助陽極駆動回路には駆動用の電界効果トランジスタは不要となり、その代わりに設けられた共通ライン駆動用のプッシュプル回路は、補助陽極の動電位に左右されずに設定することができ、ローサイド側電界効果トランジスタについてはソース電位を制御回路のグラウンド電位と同じにでき、ローサイド側電界効果トランジスタについてはレベルシフトが不要となり、回路構成を簡略化でき、プッシュプル回路も含めて補助陽極駆動回路のコストを低くできる。

【0068】また、プッシュプル回路で共通ラインを駆

動し、共通ラインに電力回収回路を接続するとともに、共通ラインの電圧に基づいて補助陽極駆動回路および陽極駆動回路が駆動電圧を出力するので、補助陽極駆動回路だけでなく陽極駆動回路についても電力回収を行うことができ、したがって消費電力の一部を負担させるための抵抗器を設けることが不要となり、回路構成を簡略化でき、陽極駆動回路のコストを低くできる。

【0069】また、消費電力の一部を負担させるための抵抗器を設けていないので、陽極に加える電圧波形が鈍ることがなく、書き込み放電を起こしやすくなることができ、しかも、非書き込み放電時に陽極電位の持ち上がりが生じず、誤放電を起こしにくくなることができる。また、共通ラインの電圧に基づいて補助陽極駆動回路および陽極駆動回路が駆動電圧を出力するようにしたので、補助陽極駆動回路および陽極駆動回路の動作のタイミングがずれたり、陽極駆動回路が動作しているのに、補助陽極駆動回路の動作が停止することがなくなり、補助陽極と陽極との間に電位差が生じてDCパルスメモリ型プラズマディスプレイ装置の実効的な容量性負荷が増加して無効電力が増大することはなくなり、陽極駆動回路の消費電力の増大を防止でき、さらに陽極駆動回路を構成している回路素子の破壊を防止できる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の構成を示す回路図である。

【図2】図1のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の動作を示す駆動タイミング図である。

【図3】この発明の第2の実施の形態のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の要部の構成を示す回路図である。

【図4】図3のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の動作を示す駆動タイミング図である。

【図5】この発明の第3の実施の形態のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の構成を示す回路図である。

【図6】図5のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の動作を示す駆動タイミング図である。

【図7】この発明の第4の実施の形態のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置の要部の構成を示す回路図である。

【図8】従来のDCパルスメモリ型プラズマディスプレイ装置の電極配置構成を示す概略図である。

【図9】図8のDCパルスメモリ型プラズマディスプレイ装置の動作を示す駆動タイミング図である。

【図10】従来のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置における補助陽極駆動回路

の構成を示す回路図である。

【図11】従来のDCパルスメモリ型プラズマディスプレイ装置の陽極駆動回路装置における陽極駆動回路の構成を示す回路図である。

【図12】補助陽極駆動回路の動作を示す駆動タイミング図である。

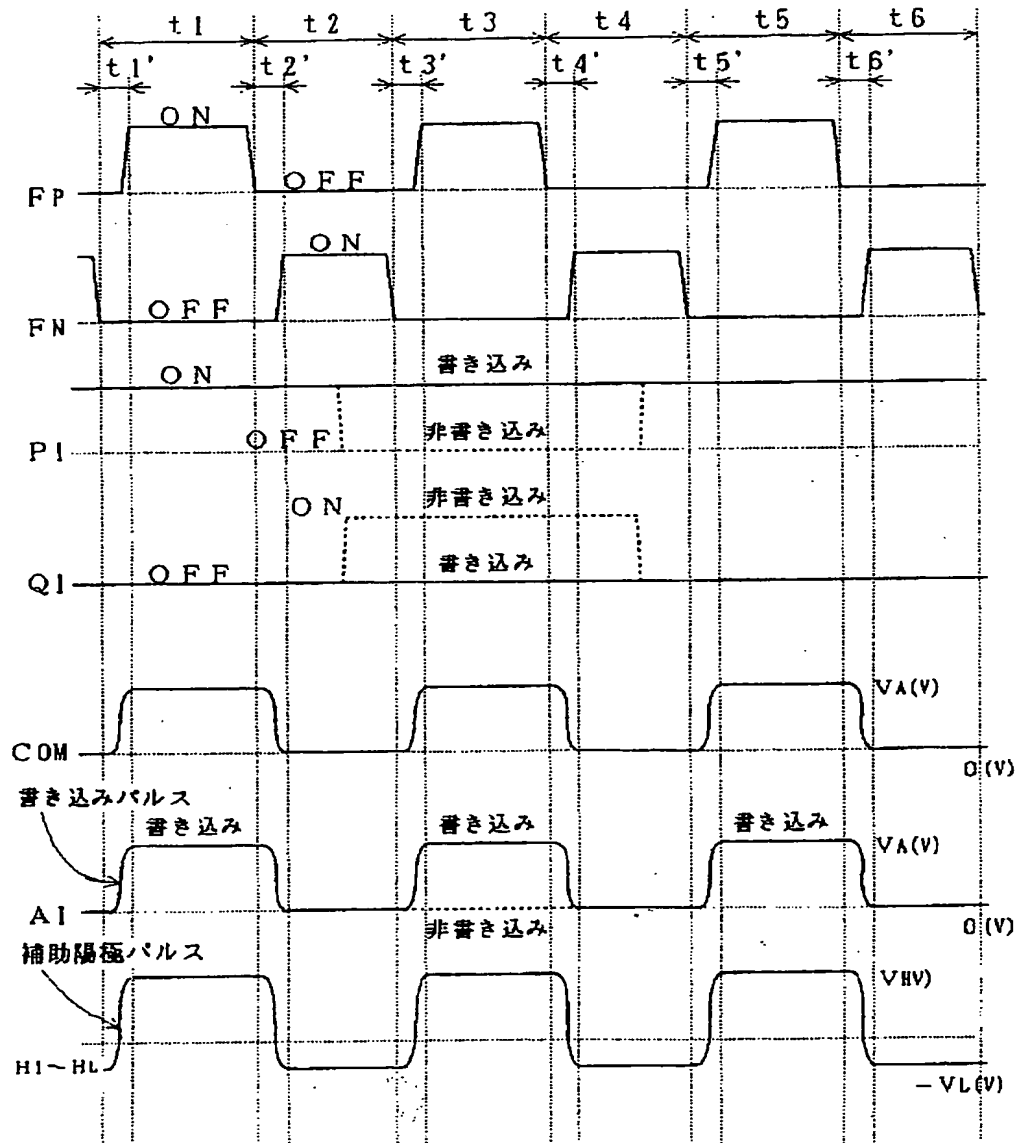
【図13】電力回収回路の構成を示す回路図である。

【図14】陽極駆動回路の動作を示す駆動タイミング図である。

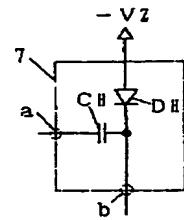
【符号の説明】

- 1 補助陽極駆動回路
- 2 陽極駆動回路
- 3 プッシュプル回路
- 4 電力回収回路
- 5 補助陽極駆動回路
- 6 陽極駆動回路
- 7 補助陽極駆動回路
- 8 2端子回路

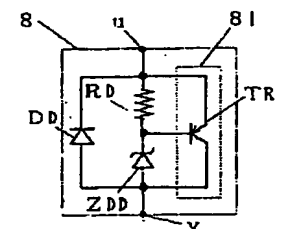
【図2】



【図3】

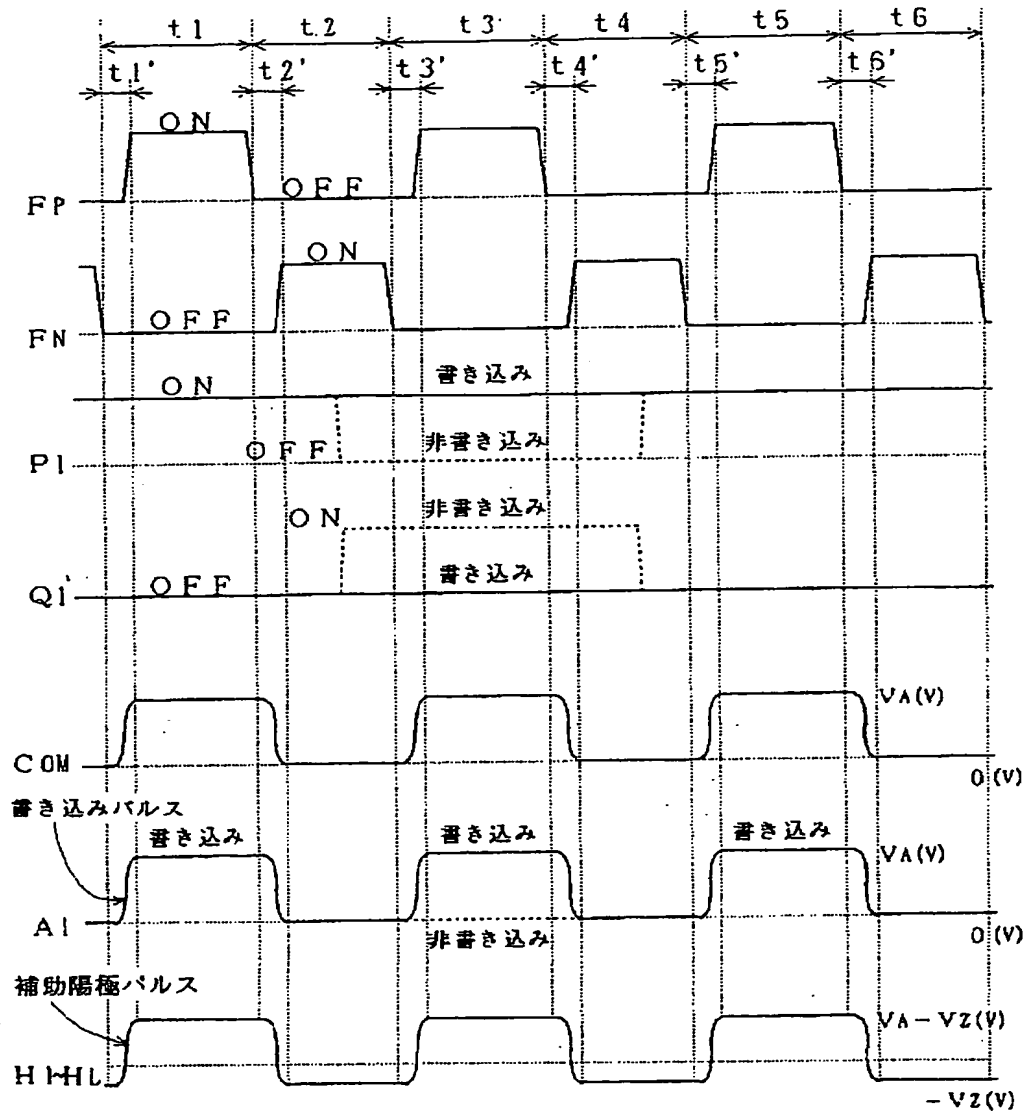


【図7】

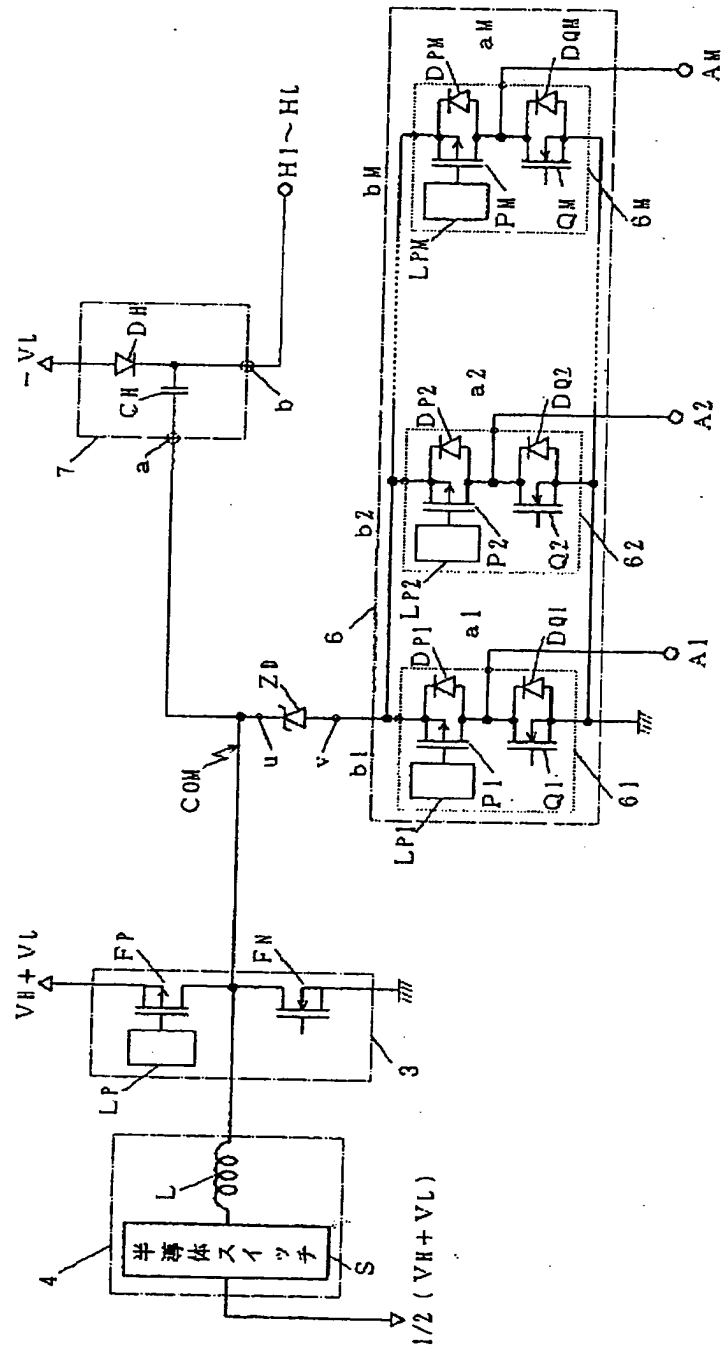


3 アプシブル回路
4 電力回収回路
5 補助陽極駆動回路
6 陽極駆動回路

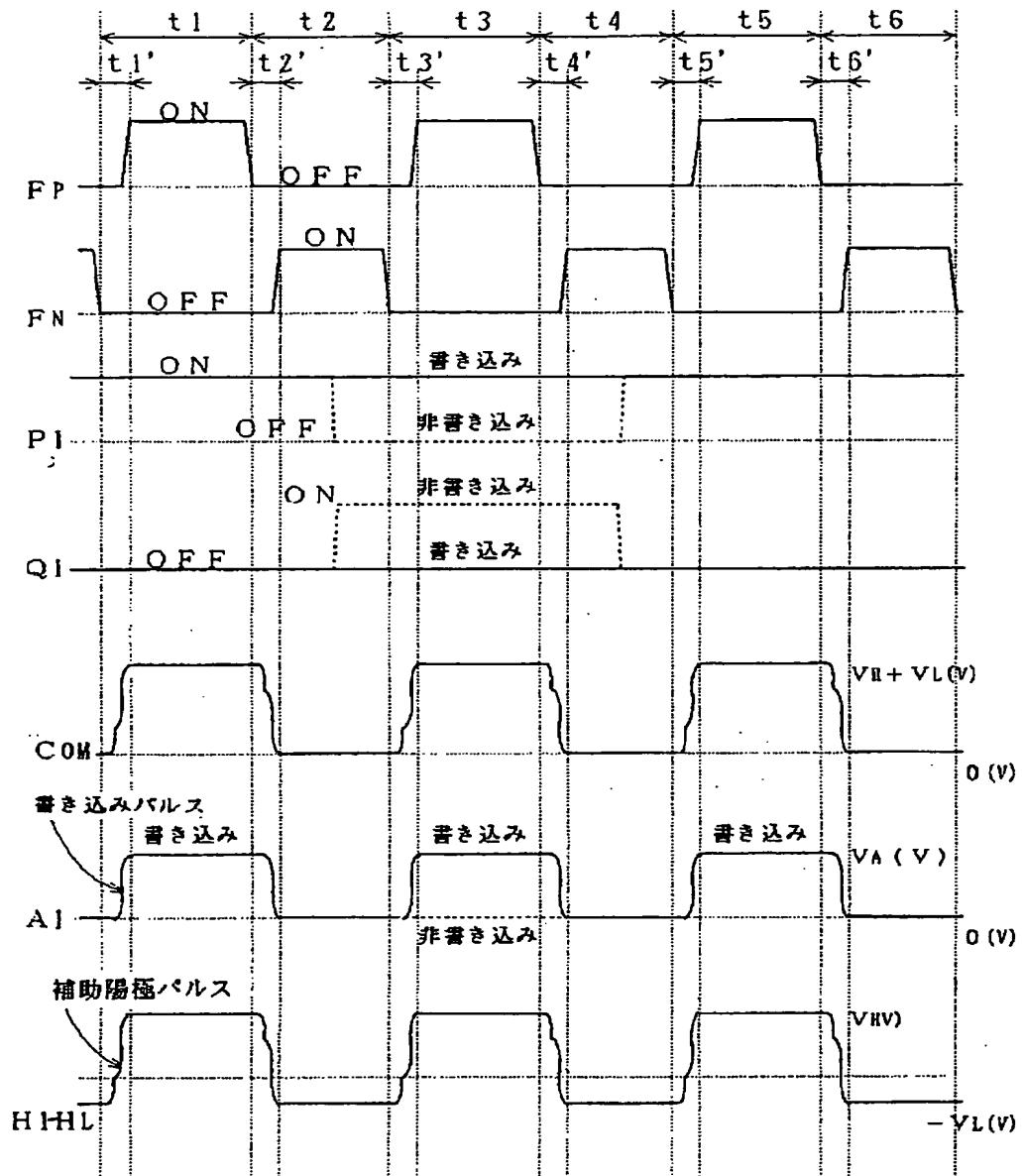
【図4】



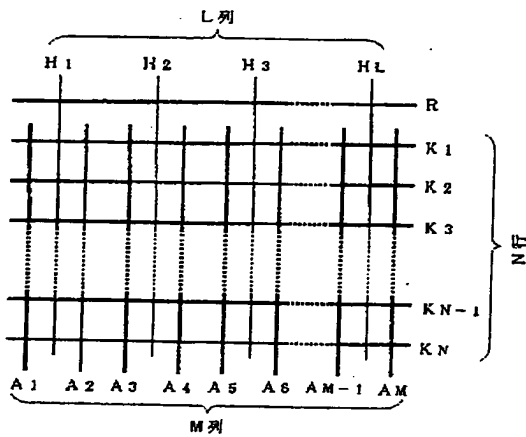
【図5】



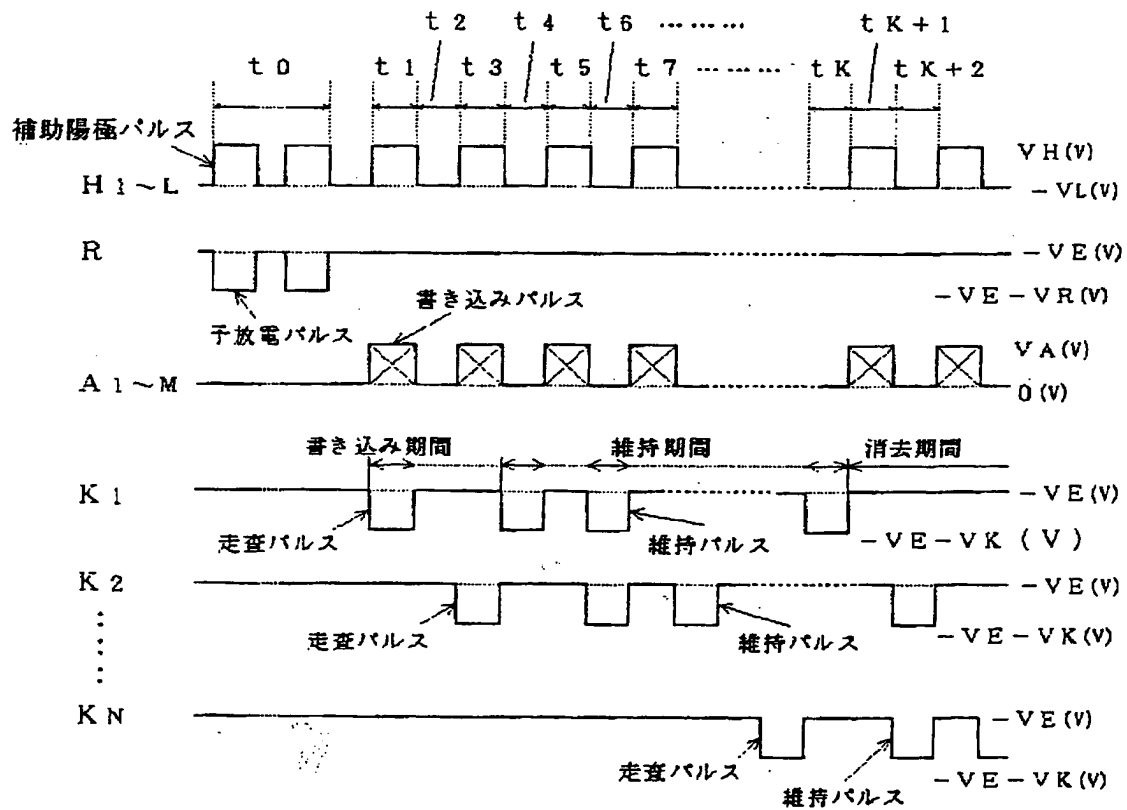
【図6】



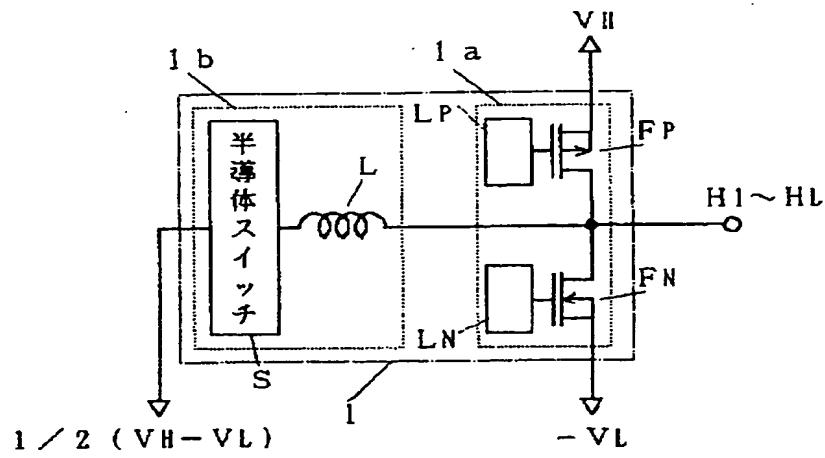
【図8】



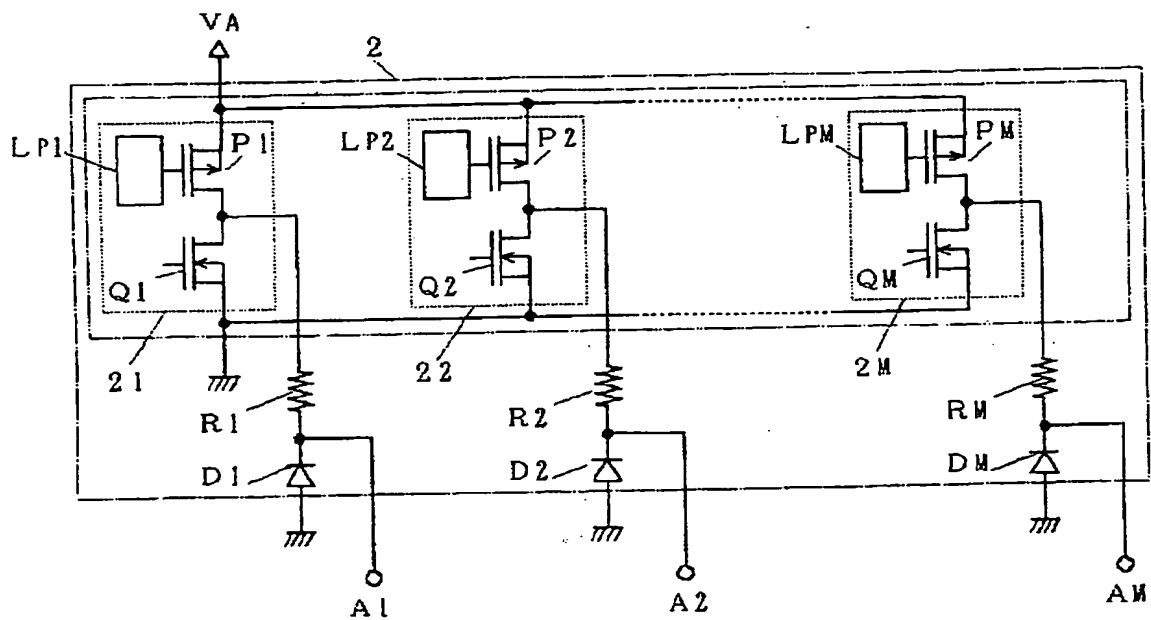
【図9】



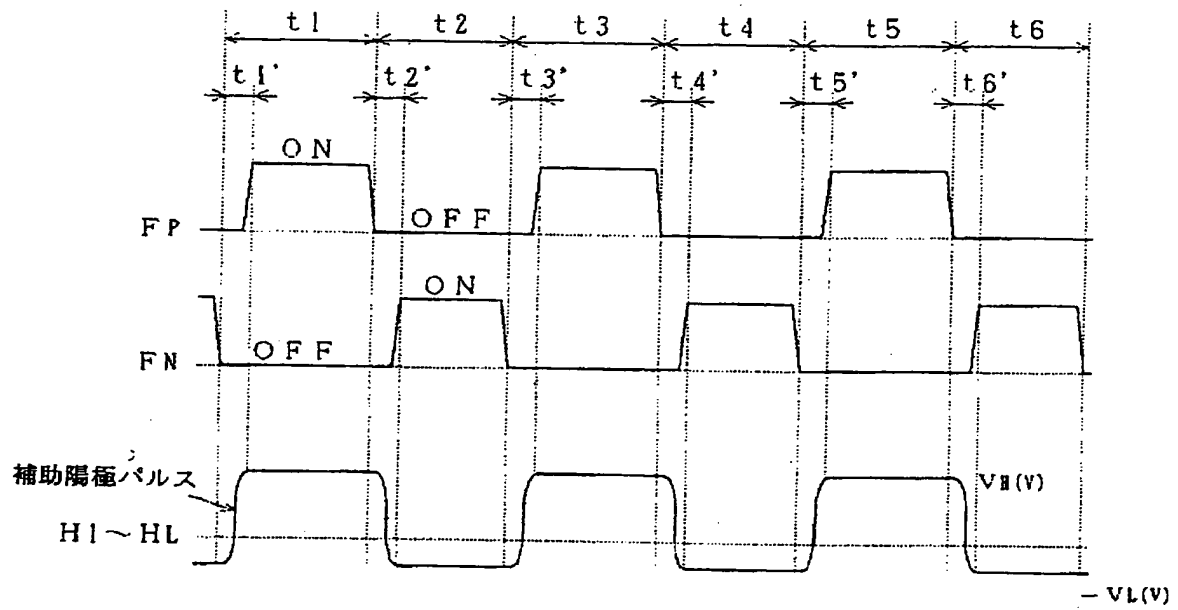
【図10】



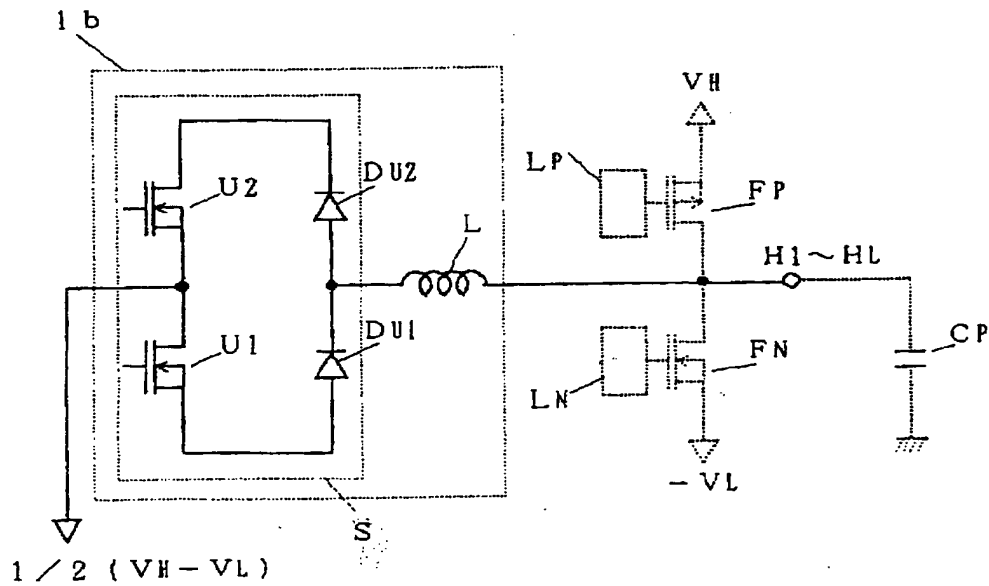
【図11】



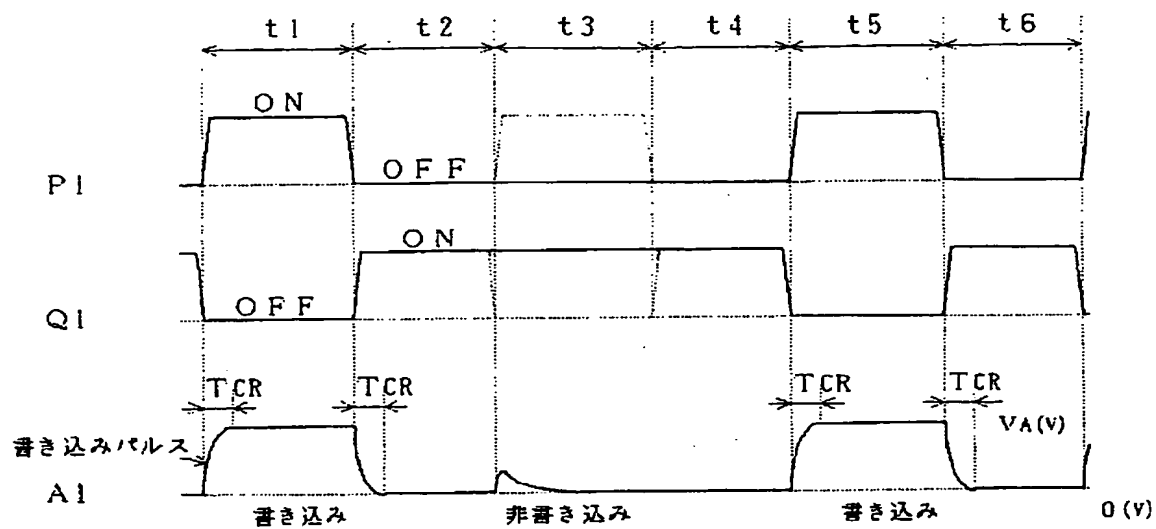
【図12】



【図13】



【図14】



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)